

Reference 1

Japanese Patent Public Disclosure No. 164958/1980

Date of Public Disclosure: December 23, 1980

Application No. 75397/1980

Application Date: June 4, 1980

Priority: S.N. 455476 (US)

Inventor: Richard David Liza

Applicant: Memorex Corporation

Title: Disk Cache Subsystem

Claim:

A cache subsystem for use in a direct access storage device with a data processing device, for decreasing time taken to retrieve desired data, said subsystem comprises a direct access storage device for storing and detecting data, a data storage device for storing said desired data, and a control device for communicating said direct storage device, said data storage device and said data processing device and for controlling the communication between these devices, said control device enables the time taken to retrieve said desired data from said data storage device to be less than that taken to retrieve said desired data from said direct storage device.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭55-164958

⑫ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和55年(1980)12月23日

G 06 F 13/04

7361-5B

G 11 C 9/06

7056-5B

// G 11 B 5/09

7345-5D

発明の数 1

審査請求 未請求

(全 22 頁)

⑭ ディスク・キヤツシュ・サブシステム

ザ

⑮ 特 願 昭55-75397

⑯ 出 願 昭55(1980)6月4日

優先権主張 ⑰ 1979年6月4日 ⑱ 米国(US)  
⑲ 455476

⑳ 出 願 人 メモレックス・コーポレーション

㉑ 発 明 者 パーツラーフ・ブラディミア・  
ホフマイスタ  
アメリカ合衆国カリフォルニア  
州サラトガ・テレンス・アベニ  
ュー12309

アメリカ合衆国カリフォルニア  
州サンタ・クララ・サン・トマ  
ス・アット・セントラル・エグ  
スプレスクウェイ(番地なし)

㉒ 発 明 者 リチャード・デイビッド・ライ

㉓ 代 理 人 弁理士 山崎行造 外1名  
最終頁に続く

明細書の序言(内容に変更なし)

明 細 書

1. 特 許 の 名 称

ディスク・キヤツシュ・サブシステム

2. 特 許 請求 の 範 囲

(1) データ処理装置とともに使用し、予定データを  
を記憶するに要する時間を減少するダイレクト  
・アクセス記憶装置のキヤツシュ・サブシステ  
ムにおいて、データを記憶しかつ復元するダイ  
レクト・アクセス記憶装置；前記予定データを  
記憶するデータ・メモリ装置；前記ダイレクト  
・アクセス記憶装置、前記データ・メモリ装置、  
及び前記データ処理装置を相互に結合してこれ  
らの間のコミュニケーションを制御する制御装  
置であつて、前記予定データを前記データ・メ  
モリ装置から復元するに要する時間が前記予定  
データを前記ダイレクト・アクセス記憶装置か  
ら復元するに要する時間よりも短くし得る制御  
装置を含有することを特徴とするキヤツシュ・  
サブシステム。

(2) 特 許 請求 の 範 囲 (1) の 記 載 の キヤツシュ・サ

ブシステムにおいて、前記制御装置と前記デー  
タ処理装置とを結合する記憶制御装置を含むキ  
ヤツシュ・サブシステム。

(3) 特 許 請求 の 範 囲 (1) の 記 載 の キヤツシュ・サ  
ブシステムにおいて、前記制御装  
置は前記ダイレクト・アクセス記憶装置を前記  
データ処理装置と結合するダイレクト・アクセ  
ス記憶装置制御装置、及び前記データ・メモリ装  
置を前記ダイレクト・アクセス記憶装置制御装  
置と結合するデータ・メモリ制御装置を含み、前  
記データ・メモリ制御装置は予定データを前記  
データ・メモリ装置内に記憶せしめるように設け  
られるキヤツシュ・サブシステム。

(4) 特 許 請求 の 範 囲 (3) の 記 載 の キヤツシュ・サ  
ブシステムにおいて、前記データ・メモリ制御  
装置は前記ダイレクト・アクセス記憶装置制御  
装置と前記データ・メモリ装置とを結合するマイ  
クロプロセッサ装置；予定データが前記データ  
記憶装置内に記憶せしめられるように前記マイク  
ロプロセッサ装置を制御するための前記マイク  
ロプロセッサ装置。

- 1 -

- 2 -

- コモンアセンブリで用いられる制御記号メモリ領域  
：及び前記データ・メモリ領域内に記憶されて  
いる前記予定データのダイレクト・アクセス記  
憶領域アドレスを記憶するスタック・パッド  
・メモリ領域を含むキャッシュ・サブシステム。
- (5) 特殊要求の機能(4)項記載のキャッシュ・サ  
ブシステムにおいて、前記データ・メモリ制御  
領域と前記ダイレクト・アクセス記憶領域制御  
領域を相互に結合するインタフェース制御領域を  
含むキャッシュ・サブシステム。
- (6) 特殊要求の機能(5)項記載のキャッシュ・サ  
ブシステムにおいて、前記インタフェース制御  
領域は前記データ・メモリ領域と前記データ結  
構記憶領域、及び前記データ・メモリ領域と前記  
ダイレクト・アクセス記憶領域間のダイレ  
クト・メモリ・アクセス・データを伝送するダイレ  
クト・メモリ・アクセス領域を含むキャッシュ  
・サブシステム。
- (7) 特殊要求の機能(6)項記載のキャッシュ・サ  
ブシステムにおいて、前記制御記憶メモリ領域

- 3 -

- ブシステムにおいて、前記ランダム・アクセス  
半導体メモリ領域は少なくとも第1記憶領域と第  
2記憶領域を含むキャッシュ・サブシステム。
- (11) 特殊要求の機能(10)項記載のキャッシュ・サ  
ブシステムにおいて、前記第1記憶領域は前  
記第2記憶領域よりも速いデータ伝送速度を有  
し得るキャッシュ・サブシステム。
- (12) 特殊要求の機能(11)項又は第(10)項記載のキャ  
ッシュ・サブシステムにおいて、前記予定デー  
タは固定フィールド・ダイナミックであり、  
前記固定フィールド・ダイナミックは前記ダイ  
レクト・アクセス記憶領域のデータ・フィール  
ド構成に相当するように設けられるキャッシュ  
・サブシステム。
- (13) 特殊要求の機能(12)項記載のキャッシュ・サ  
ブシステムにおいて、前記データ・メモリ領域  
のデータ記憶容量は前記ダイレクト・アクセス  
記憶領域の記憶容量よりも小であるように設け  
られるキャッシュ・サブシステム。
- (14) 特殊要求の機能(13)項、又は第(12)項、又は第

- 4 -

- 11項55-164956(2)  
にマイクロプログラムを含み、前記マイクロ  
プログラムは前記データ・メモリ領域内に記憶  
領域がリスト・リーメントリ・ムーブ(LRU)  
アルゴリズムを記憶して発生するように設けら  
れるキャッシュ・サブシステム。
- (14) 特殊要求の機能(4)項記載のキャッシュ・サ  
ブシステムにおいて、前記サブシステムは前記  
データ・メモリ制御領域に設けられるロード/ユニ  
タ・マイクロプロセッサ領域を含み、該ロード/  
ユニタ・マイクロプロセッサ領域は前記マイク  
ロプロセッサ領域が実行するようにマイクロ  
プログラムを前記制御記憶領域にロードし、前記  
ダイレクト・アクセス記憶領域サブシステムの  
作動をモニタするキャッシュ・サブシステム。
- (17) 特殊要求の機能(11)項又は第(10)項記載のキャ  
ッシュ・サブシステムにおいて、前記データ・  
メモリ領域内に設けられる記憶領域はランダム・  
アクセス半導体記憶領域を含むキャッシュ・サ  
ブシステム。
- (19) 特殊要求の機能(13)項記載のキャッシュ・サ

- 5 -

- (3)項、又は第(14)項記載のキャッシュ・サブシ  
ステムにおいて、前記ダイレクト・アクセス記憶  
領域は磁気記憶ディスク記憶領域を含むキャ  
ッシュ・サブシステム。
- (15) 特殊要求の機能(14)項記載のキャッシュ・サ  
ブシステムにおいて、前記予定データのユニ  
ットが前記磁気記憶ディスク記憶領域に記憶さ  
れているフル・トラックの情報に相当するよう  
に設けられるキャッシュ・サブシステム。

## 2. 発明の詳細な説明

本発明は、微細集積コンピュータ・ディスク・メ  
モリの分野に関する。本発明は、中央処理装置に  
よつてしばしば呼び出される情報を、小量の高速  
半導体メモリによつてより迅速にアクセスする改  
良されたサブシステムを提供する。

システム3600の導入以来、IBM中央処理装置に  
入力/出力装置を接続するための標準構成が確立  
された。中央処理装置は「チャネル」を介して周  
辺入力/出力装置と通信している。このチャネル  
のインタフェースによつて、中央処理装置からの

- 6 -

- 7 -

- 4 -

- 1 -

- 10 -

システム記憶装置 (CASD) として公知であるが、使用者に必ずしもしだした系統的なコンピュータ構成情報とランダム記憶しかつ提供することはない。従って、ディスク記憶装置は特定のデータ群についてしばしば周期的な「記憶 (clustered)」する。このことは、ディスク記憶装置の特定の情報トラックがしばしばアクセスされ又は新たに更新されて、記憶バイトの他の情報を排除することになる。従つて、「キャッシュング (caching)」の概念は、より頻りに呼び出される情報が呼び出される、はるかに大容量のダイレクト・アクセス記憶装置中に存在するほとんど全ての他の情報を排除する結果でその情報を高速バッファに記憶する装置に促進されて来た。

カール (Calle) 氏に対する米国特許第 4,073,686 号及びシュエマン (Schuessen) 氏に対する米国特許第 4,070,706 号は共に、システムの状態を高めるための、最先端の情報を迅速に呼び出すことのできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかしな

-11-

114555-164958(4)  
がら、カール及びシュエマンにも過剰なキャッシュ・メモリを過剰のディスク・ストリングに適用することについてあまりにも示唆していない。チャーチル (Churchill) 氏に対する米国特許第 3,949,569 号は、高速キャッシュ・バッファを利用するデジタル・コンピュータ・システムが記載されている。チャーチルは、キャッシュ・バッファ中の情報が使用の程度に基づく情報に関して最先端システムが適立されるように調整されていることを示唆している。最も頻りに使用される情報は最も最先端位置を受け、一方最も使用度の低い情報は最遠の最先端位置を受け、もし、高速キャッシュ・メモリ及びその空間内に記憶する必要のある新たな情報が利用できない場合は、キャッシュ・バッファ中に存在する最も使用度の低い情報を消去する。リースト・リセメントリ・キューズド (LRU) アルゴリズムの概念はコードら氏に対する米国特許第 3,737,881 号において研究されている。コードらはキャッシュング概念を高速記憶バブル・ドメインの情報の「ベ

-12-

ージ」に適用する態様について詳しく述べている。「ページ (page)」とはコンピュータ工程において、システム制御プログラミング・システム又はシステム制御オペレーティング・システムによつて指示された一定の大きさの予められたブロックであると理解される。

一般に、システム・コントロール・プログラミング・システム又はシステム・コントロール・オペレーティング・システムのコンフィギュレーションで使用される記憶記憶又はパーナムアル・メモリ装置の導入によつて、高速記憶の概念がもたらされた。この概念は、中央処理装置 (CPU) の頻りに使用される情報へのアクセスをより迅速にするために使用されるもので、CPU による大容量ダイレクト・アクセス記憶装置へのアクセスを要求するのとは異なる。より大きなディスク・メモリと組合せて高速キャッシュ・メモリを利用する一様化記憶されるページング・システムはスミス (Smith) 氏に対する米国特許第 3,642,348 号に記載されている。従って、「見かけ記憶 (apparent store)」

-13-

の概念は、イーデン (Eden) 氏に対する米国特許第 3,569,938 号によつて示されている。この特許においては、CPU の性能を高めるための、高速記憶を CPU と、はるかに大きな主記憶との間の中間バッファとして使用している。しかしながら、先に述べた全ての文獻は、ディスク・ストリングに有効に適用される LRU アルゴリズムを利用する高速記憶キャッシュ・メモリを応用することについては、開示も示唆もしていない。

本発明 (以後、時々「ディスク・キャッシュ」又は「ディスク・キャッシュ・サブシステム」と呼ぶ) はディスク・ドライブのストリングのディスク制御装置に設置された高速記憶メモリ装置を利用して、頻りに要求されるデータへのアクセスを、従来のかかる装置を使用しないで増進せしめより迅速に行なえるようにするものである。ディスク・キャッシュは4つの主要な構成要素から成っている：

1. ディスク制御装置に対するインタフェイス
2. キャッシュ・コントロール・マイタロプロセ

-14-

フタ

3. ロード/メモリ・マイクロプロセッサ
4. キャッシュ・メモリ

インタフェース (1) はダイスタ制御装置内のダイスタ・キャッシュを接続するためのコントロール・バス電子工学及びデータ・バス電子工学から成っている。かかる場合には、記憶制御装置はダイスタ・キャッシュ又はダイスタ・ストリングのいずれかへ通過することができ、更に、ある条件の下では、ダイスタ・キャッシュはダイスタ・ストリングが直接ダイスタ・ドライブと通過するよう制御することでも可能、記憶制御装置は「ストリング・ビジー (string busy)」の状態でかくこともできる。また、ダイスタ・キャッシュがストリング・システムから効率的に分離されて、記憶制御装置の指令が単にダイスタ制御装置からダイスタ記憶装置へ「パス・スルー (pass through)」できるようにする。

キャッシュ・コントロール・マイクロプロセッサ (2) は基本的には高速ビット・ストライム・マイ

-15-

クロプロセッサ、スランチャ・パッド・メモリ及び記憶レジスタの集合体である。キャッシュ・コントロール・マイクロプロセッサは、記憶制御装置の指令に對するダイスタ・キャッシュの送受及びキャッシュ・メモリ内のデータ・レジスタの記憶を制御するためのマイクロプログラムを使用するダイスタ・キャッシュ・サブシステムの中核装置である。

ロード/メモリ・マイクロプロセッサ (3) は、キャッシュ・コントロール・マイクロプログラムを外部記憶装置から容易にアクセス可能な記憶メモリへ移送するよう設計されている装置の集合体である。

キャッシュ・メモリ (4) は、中央処理装置によって読み取られる情報を記憶するための使用される高速半導体メモリである。キャッシュ・コントロール・マイクロプロセッサなどの情報を記憶すべきか決定するとともに、その情報がダイスタ記憶装置上に記憶されたときデータ・レジスタ・アドレスオラフタを提供する。

-16-

ダイスタ・キャッシュ・サブシステムはマイクロプログラムの制御下にある。好適な実施例においては、リスト・リーマンリ・キューズ (略して、LRU) アルゴリズムをプログラムして、ダイスタ・キャッシュが最も適当なアドレスを有するデータ・レジスタを記憶したキャッシュ・メモリから情報の古いデータ・レジスタを消去するようにする。

もしデータ・レジスタがダイスタ・キャッシュ内にあり、このことが CPU により要求されるならば、そのデータ・レジスタはダイスタ・キャッシュから記憶制御装置へ、又は CPU へ直接搬送される。かかるデータの搬送はダイスタの内部では保存せず、従って、情報がデータ・チャネルによって受け渡される状態で、「ダイレクト・メモリ・アクセス」を通してダイスタ・キャッシュ・メモリから記憶制御装置へ搬送されることはダイスタ・キャッシュ・サブシステムの利点である。

更に、もし特定のデータ・レジスタがキャッシュ・メモリ内にあり、そのデータ・レジスタ

-17-

の一端が CPU によって要求されるならば、ダイスタ・キャッシュの集合体によって、データ・レジスタ内において直接搬送しい情報へスワップせよという利益が生ずる。このデータ・スワップの利益は、データ・レジスタが、ダイスタの内部に保存するというよりも単なるアドレスの形式によってアクセスされるランダム・アクセス半導体メモリ内にあることにより得られる。

従って、本発明の目的は、コンピュータ・システムの中央処理装置が今まで以上に頻りに使用されるデータ品迅速にアクセスできるようにすることである。

本発明の今一つの目的は、マイクロプロセッサの制御の下に高速半導体メモリを利用して、頻りに使用される情報を記憶することである。

更に、今一つの目的は、アルゴリズムに従って、キャッシュ・メモリ内の情報の記憶を制御することである。

更に、本発明の今一つの目的は、ダイスタ・キャッシュをダイスタ・ストリングのダイスタ制御

-18-

装置に設置して、ディスク・キャッシュが記憶制御装置と作用し、かつディスク記憶装置と通信できるようにすることである。

#### 詳しい実施形態

##### その内容：

1. 一般
2. ディスク・キャッシュ・ハードウェア
3. ディスク・キャッシュ・オペレーション・ハードウェア・モード
4. ディスク・キャッシュ・サブシステム・ソフトウェア
5. 記憶装置
6. メイン・メモリ・バス
7. 可変データ速度

##### 1. 一般

第1図（先行技術）を参照すると、公知のデータ処理システムが、メモリ・バス(4)を經由してメイン・メモリ(6)と通信している中央処理装置(2)を有するものとして示されていることが分る。中央処理装置(2)は入力/出力バス又は

-19-

112555-164958(6)  
キャッシュ・バスに於ては記憶装置(10)と通信している。データをディスク記憶装置から読み又は、その媒体を書き込みたいと望むとき、中央処理装置(2)は通常の指令を送る。その指令は記憶制御装置(10)によってアドレスされる装置の固有の一種の指令で解釈される。この場合、記憶制御装置(10)は中央処理装置(2)からの指令をディスク制御装置(12)の制御でその指令で解釈する。記憶制御装置(10)はシステムCTLインタフェース(13)によってディスク制御装置(12)と通信している。記憶制御装置(10)からの指令は解釈されかつディスク制御装置(12)によって実行されて、特定の情報がディスク制御インタフェース(15)を經由して、ディスク・ドライブ(14)へ書き込み又はディスク・ドライブ(14)から読み取られる。ハードウェア・インタフェース及びデータを包含先行技術のコンピュータ構成の定義及びコントロール・ラインの定義は上述の引用文献に示されている。

第2図を参照すると、本発明のディスク・キャッシュ

-20-

システム・サブシステムが第1図に示される従来のサブシステムと類似していることが分る。しかしながら、ディスク・キャッシュ(16)は記憶装置系において、キャッシュCTLインタフェース(78)を經由してディスク制御装置(20)と通信行われている。實際上、ディスク・キャッシュ(16)はドライブ・コントローラ・ロジック(第6図の62)及びディスク制御装置(14)の間に位置している。ディスク・キャッシュ(16)は、典型的なディスク・システムとして例示されるゆつくりした万の回の記憶と、メイン・メモリ(6)で例示される早い万の回の記憶との間の記憶系レベルを示している。ディスク・キャッシュ(16)はデータ・モジュールを処理するもので利用される内部情報を含む。このデータ・モジュールは実行行われたディスク制御装置(20)と実行行われたディスク・ドライブ(14)のストリングとによって分類されている。ここで使用するデータ・モジュールは通常プロファイルはいくつかの装置上の大まかなデータ単位に対する一般的用語である。

-21-

ディスク・キャッシュ(16)は、ディスク制御装置(20)及びディスク・ドライブ(14)と通信すると、ディスク・ドライブ(14)の低速速度で動作して動作された速度で入力/出力オペレーションを行なう。しかしながら、記憶制御装置(18)とディスク・キャッシュ(16)との間の入力/出力動作は、以下の可変データ速度の量で更に十分は明する先行技術のコンフィギュレーション及び図で可能である低速速度よりもはるかに速い低速速度（これは、低下した「待ち時間」を意味する）で行はわれる。

CTLインタフェース(78)を經由してディスク・制御装置(20)とディスク・ドライブ(14)のストリングとに接続されるように行われたディスク・キャッシュ(16)を含む第2図のサブシステムにおいては、動作は一般に以下の通り行なわれる。

データ検索動作については、CPU(2)はキャッシュ・バス(8)を由して記憶制御装置(18)に渡し、ディスク・ドライブ(14)上の一定のデータ・モジュールの入力/出力を要求する。記憶制御装置(18)はCPU(2)の要求をディスク・キャッシュ(16)に

-22-

よつて受容し得る一組の指令に指示する。第5図を参照すると、もし要求されたデータ・モジュールがディスク・キャッシュ(16)内のキャッシュ・メモリ(54)中に存在するならば、それはシステムCTLインタフェイス(15)及びキャッシュCTLインタフェイス(78)を經由して記憶制御装置へ転送される。もし、要求されたデータ・モジュールがキャッシュ・メモリ(54)内に存在しないときは、ディスク・キャッシュ(16)はキャッシュCTLインタフェイス(78)及びバス(15)を經由してディスク制御装置(20)を通してディスク・ドライブ(14)から要求されたデータ・モジュールを復元し、ディスク・キャッシュ(16)のキャッシュ・メモリ(54)内にそれを記憶する。要求されたデータ・モジュールはディスク・キャッシュ(16)内のディスク・キャッシュ・メモリ(54)から記憶制御装置(18)へ転送される。なお、ディスク・キャッシュ操作の順序は本発明の特定の実施形態に応じて変化する。その順序は明らかにマイクログラフに保存されている。

- 23 -

かいては、中央処理装置(36)は適当な情報を含み入力/出力バス(15)を通してディスク・キャッシュ(16)と直接通信することができる。ディスク・キャッシュ(16)はその後ディスク制御装置(20)及びコントロール入力/出力バス(15)を通してディスク・ドライブ(14)と通信する。

従つて、最も一般的な実施形態においてディスク・キャッシュは一定の速度の下で要求通信することができないような高速度で入力/出力サブシステムから情報を復元できるようにする入力/出力サブシステム内蔵型に導入された、知的でディスク特有でかつ高速度なメモリである。

## 2. ディスク・キャッシュ・ハードウェア

ここで開示するディスク・キャッシュ・サブシステムは、ハードウェア及びソフトウェア技術を組合せて上述の望ましい目的を達成する装置である。この装置の特定の実施形態については多くの参照がある(この場合は、ハードウェアである)が、好適であることが分っている第2図のディスク・キャッシュの実施形態については第5図に示して

- 23 -

114255-164958(7)

もし中央処理装置(2)が記憶媒体に情報を更新したい場合(図4、「書き込み」の要求)、かかる情報の記憶又は更新がディスク制御装置(20)を通してディスク・ドライブ(14)で直接行われるか又はその情報をディスク・キャッシュ(16)のディスク・キャッシュ・メモリ(54)へ直接更新し、若しくは書き込むことができる(ディスク・キャッシュ・サブシステム操作の順序はマイクログラフに保存されている)。もしかかる情報が直接ディスク・キャッシュ・メモリ(54)に書き込まれる場合、その情報は永久に運用のディスク・ドライブ(14)に通常通れて転送される。

一定のデータ処理速度において、記憶制御装置を使用しなくてもよいこと、またその記憶制御装置の情報は又は機能を中央処理装置内に設置できることも本発明の範囲内である。第4図を参照すると、ディスク・キャッシュ(16)がキャッシュCTLインタフェイス(78)を經由して適当なデータ制御バス(15)にそつて直接中央処理装置(36)と通信することも本発明の範囲内である。この実施形態

- 24 -

いる。ディスク・キャッシュ・サブシステムの主要なハードウェア構成要素は、インタフェイス・コントロール・ロジック(48)、ディスク・キャッシュ・ディスク・キャッシュ・コントロール・マイクログラフセフ(50)、ロード/セクタ・マイクログラフセフ(52)及びキャッシュ・メモリ(54)から成っていることが分る。

第1の主要なハードウェア構成要素は、ディスク・キャッシュ・コントロール・マイクログラフセフ(50)とディスク制御装置(20)との間のインタフェイス(48)である。キャッシュCTLインタフェイスはディスク・キャッシュ・サブシステムのアドレスデコード機能をももたらす。この制御装置は、メモリアドレス公開 367121-03 で一般に定められるメモリアドレス 3673 ディスク制御装置のようなものでもある。第6図に示されるように、ディスク制御装置(20)はディスク・キャッシュ(16)がインタフェイス(58)の付加によつてディスク制御装置のCTLインタフェイス内に取付けられるよう

- 25 -



に提供されている。ここで、インタフェイス(58)がストリング・スイッチ(68)の他のシステム・CTLインタフェイス(13)と、ドライブ・コントローラ・ロジック(15)との間に対応していることと注目すべきである。CTLライン(64)はストリング・スイッチ(68)とキャッシュ・インタフェイス(58)に接続し、CTLライン(34)はドライブ・コントローラ・ロジック(62)とキャッシュ・インタフェイス(58)に接続する。上述の特定の資源構成においては、メモリーバス3673ディスク制御装置がメモリーバス公称3673.21.03で記憶されているようにストリング・スイッチ(68)を増えることが必要である。キャッシュ・インタフェイス(58)は、CTLインタフェイスによって要求されるデータ・バス及びコントロール・ラインを提供する。キャッシュ・コントロール・ライン(70)によって、ディスク・キャッシュ・サブシステムはディスク制御装置内のストリング・スイッチを制御する。CTLインタフェイスへの十分なアクセスはシステムCTLライン(72)によってディスク・キャッシュ中へ提供される。

-27-

114555-164958(8)  
 以上でディスク・CTLライン(74)によってディスク・キャッシュから提供される。

ディスク・キャッシュ(16)の第2の主要なハードウェア構成要素は第5図(より詳しくは第7図)のディスク・キャッシュ・コントロール・マイクログロセッサ(50)である。特定の資源構成において、第7図のマイクログロセッサ(76)として、1秒あたり4000000の命令の処理速度を有する高速ビット・スライム・マイクログロセッサを使用することが好適であると分つた。この特定の資源構成に対しては、LSIプロセッサ・チップコアDパーンズド・マイクロ・デバイス2900ファミリ(Advanced Micro Devices 2900)から製造した市販のマイクログロセッサを使用することが好適であることが分つた。しかしながら、多くのプロセッサの設計は、ディスク・キャッシュ・バスを扱うことのできるディスク・キャッシュ・サブシステムの特定の範囲内である。ディスク・キャッシュ・コントロール・マイクログロセッサ(50)の基本タスクは、

-28-

(1)第6図のキャッシュCTLインタフェイス(70)からのコントロール及びデータ転送指令に対する応答、

(2)第5図及び第7図(以下で記述)のキャッシュ・メモリー(54)内にある利用可能なデータのアドレスの維持、

(3)読み要求されると思われるディスク・ドライブ・データによるキャッシュ・メモリー(54)の制御及び冗損(以下で記述する)、

(4)エラー検出及びリカバリ動作、及び

(5)記憶データのロード/セクタ・マイクログロセッサ(52)への送達、

がある。

ディスク・キャッシュ・サブシステムの図をしい資源構成における第3のハードウェア構成要素は、第5図におけるロード/セクタ・マイクログロセッサ(52)である。前記ロード/セクタ・マイクログロセッサ(52)のため、インテル8080Aマイクログロセッサを採用することが好適であることが判明している。前記インテル8080Aは価格200万

-29-

タイトルの中で動作する完全な8ビットの中央処理装置である。

前記インテル・マイクロ・プロセッサの代り採用いることが出来、種々の代り利用可能な他のマイクログロセッサも存在する。前記ロード/セクタ・マイクログロセッサ(52)の基本的作成は、(1)フレキシブル・ディスク・ドライブ(84)(後述する)より得られたコントロール・メモリー・インフォメーションの監視制御と、(2)前記ディスク・キャッシュ・サブシステムの初期セクタ作成を行うことである。

第5図に示された前記ディスク・キャッシュ・サブシステムの構成の主要なハードウェア構成要素は前記キャッシュ・メモリー(54)である。前記ディスク・キャッシュの図をしい資源構成において、前記キャッシュ・メモリー(54)は2つのセクタの単位でメモリーで構成されている。単純なメモリーの構成は、第7図に示されているフル・トラック・バッファ(86)である。本発明の思想から必要ずしも規定されるものではないが、2つのセクタの

-30-

半導体は、キャッシュ・メモリ(54)から構成されており、また同じく、本発明の記憶から必ずしも構成されるものではないが、ディスク・キャッシュ(16)により記憶される情報片はフル・トラックのディスク・ドライブ・データであるが、前記ディスク・キャッシュのハードウェアをそのように構成することが可能であるということが判明している。

このように、第1の記憶の半導体メモリ、即ち前記フル・トラック・バッファ(86)は、少なくとも1つのフル・トラックのディスク・ドライブ・データを包含しており、第2のスタック又はダイナミックなランダム・アクセス・メモリ・チップから構成することが出来る。前記フル・トラック・バッファ(86)はインテル2147又はインテル2117の角状回路から構成されるのが普通であるということが判明している。第2の記憶のキャッシュ・メモリ(54)は普通記憶で構成されており、電荷移動素子(CMOS)は前記キャッシュ・メモリ(54)の送達系用として採用され居る。

-31-

のレジスタとキャッシュCTLインターフェイス(78)のための制御信号を包含する2つのインターフェイス・コントロール回路機能に相当する記憶要求レジスタと、キャッシュ・メモリ(54)と記憶ユニット・ダイレクト・メモリ・アクセス90 98 : 制御ユニット(18)の間のデータ転送制御のためのアドレスとワードの計算値を包含する典型的なDMA(ダイレクト・メモリ・アクセス)ポートデータ・バッファとして用いられる2つの16ビットEIO FIFO (FIRST IN FIRST OUT) キャッシュ・コントロール・マイクログロセファ・メモリ  
送込可能制御記憶 100 : キャッシュ・コントロール・マイクログロセファ(76)のコントロールメモリとして利用される4Kx40ビットのインテル2147スタックRAMメモリ  
オンライン レジスタ 102 : コントロール・レジスタで、そのビットがオペレータ・パネル(104)からのオンライン・スライフトによって

-33-

!!2255-164958(9)

時刻の電圧内において、12メガバイトまでの電荷移動素子が、フロッピーディスク404の電荷移動素子を用いた型に採用されて居る。(この装置は最高64,000ビットの情報を記憶することが出来る。)更に、前記キャッシュ・メモリ(54)は構成2つの記憶のメモリ・メモリ増幅回路のディスク・キャッシュ・サブシステムであり、その中において記憶の第1の水準は前記ディスク記憶装置(14)であり、その次のメモリの2つの記憶に上達した半導体メモリである。以下に述べた通り、前記キャッシュ・メモリ(54)の構成は、高圧コンビューター・システムによって要求される性能が最も高いディスク・ドライブ・データを記憶するアルゴリズムに応じてディスク・ドライブ・データを記憶することである。(下記に詳述する。)第7及び第70番を採用すれば、ディスク・キャッシュ(16)の主要なハードウェア構成要素のより詳細な説明が得る。第7及び第70番の記憶を記憶するための以下の説明が有益である。  
インターフェイス 90 : 情報バスを生成させる

-32-

て設定されるもの

キャッシュ・コントロール・マイクログロセファ(76)はいかなるドライブがキャッシュされるべきかを決定するための、このレジスタをメモリとする。

オペレータ・パネル 104 : 入力スイッチと各ドライブのためのキャッシュ可能スイッチを包含している。

ドライブ・ダイレクト・メモリ・アクセス 94 : 記憶要求レジスタと、キャッシュ・メモリ(54)とディスクドライブ(14)の間のデータ転送を制御するためのアドレスとワードの計算値を包含する典型的なDMA(ダイレクト・メモリ・アクセス)ポート

キャッシュ・コントロール・マイクログロセファ 76 : AMD 2900 ファイアのLSIプロセファ・チップを利用した毎秒400万命令を処理するビット・スライス・マイクログロセファ  
ロード/メモリマイクログロセファ 02 : 本発明の記憶装置としてインテル6080A単一チップ

-34-

CPUを有するマイクロプロセッサ  
2メガヘルツで動作し、記憶装置のための2K  
× 8のEPROMを有する。  
スタラフタ・パッド 96：キャプシユ・コントロ  
ール・マイクロプロセッサ(76)を支持するた  
めの8K×16のスタティックRAMメモリ  
スタラフタ・パッド：ロード/メモリ・マイクロ  
プロセッサ(82)との交信のための  
フレイミングダイスタ・ドライブ 84：マイクロ  
プログラム・ロードのために用いられるフレ  
イミング・ダイスタ・ドライブ  
標準型のメモリアドレス550番を利用可。  
エラー・コレクシヨン・コード 106 (ECC)：単一  
ビット・エラー・コレクシヨン及び二重ビッ  
ト・エラー・コレクシヨンに用いられるエ  
ラー・コレクシヨン・コード  
フル・トラフタ・パッド 86：インテル2147フ  
ラフタ・パッドを使用した4K×40ビット (ECCを含む)  
のスタティックRAMメモリ

-33-

114555-164958 (C)  
電解容量メモリ 68：フレイミング・ダイスタ・パ  
ッドを用いた1.2メガバイトのCCDメモリ  
基本データバス 108：SCU又はドライブDMAポー  
トとフル・トラフタ・パッド(86)の間のデ  
ータ伝送のための二方向データ・バス  
基本アドレス・バス 110：SCU DMA (92)又はドラ  
イブDMA (94)からフル・トラフタ・パッド  
(86)へ供給されるトライ・スタート・メモリ  
・アドレス  
C-バス 138：フル・トラフタ・パッド(86)と  
CCDメモリ(68)の間のデータ伝送のための二  
方向データ・バス  
C-バス 140：キャプシユ・コントロール・マイ  
クロプロセッサ(76)に利用される全ての外部  
ポートのためのトライ・スタート・ソース・バ  
ス  
Y-バス 142：キャプシユ・コントロール・マイ  
クロプロセッサ(76)に利用される全ての外部  
ポートのためのトライ・スタート・デスティネ  
ーション・バス

-38-

B-バス 144：フル・トラフタ・パッド(86)に  
よりアクセス・ECCレジスタ(106)に使用さ  
れるトライ・スタート・データ・バス  
メモリ・アドレス・バス 148：キャプシユ・コン  
トロール・マイクロプロセッサ(76)によりア  
ドレス・番地可能な記憶装置(100)に使用さ  
れるメモリ・アドレス・バス  
パイプライン：パイプライン・インストラクシ  
ョン・バスでそれにより、  
バス 150：キャプシユ・コントロール・マイク  
ロプロセッサ(76)が番地可能な記憶装置(100)  
から、そのマイクロインストラクシオンを得  
て、スタラフタ・パッド(98)と交信するパイ  
プライン・インストラクシオン・バス  
キャプシユ・バス・イン 150：8ビットの「バス  
・イン」データ・バス (8 Bit 'bus-in'  
Data Bus)これはキャプシユからシステム  
SCUへデータを伝送するためのシステムCTL  
ライン72データ・バス・インである。  
バス・イン 152：8ビットの「バス・イン」データ・

-39-

バス (8 bit 'bus-in' data bus)これは  
ダイスタ・ドライブからキャプシユ・メモリ  
へデータを伝送するための用いられるキャプ  
シユ・CTLライン74データ・バス・イン  
バス・アウト 156：8ビットの「バス・アウト」  
データ・バス、即ち、ダイスタ・メモリ(16)からダイ  
スタ・メモリ(16)へ制御信号データの  
ための用いられるシステムCTLライン72「バ  
ス・アウト」  
キャプシユ・バス・アウト 158：8ビットの「バス  
・アウト」データ・バス、即ち、ダイスタ・メモリ(16)  
がダイスタ・ドライブ(14)を制御する際、デ  
ータと制御信号のための用いられるキャプ  
シユCTLライン74「バス・アウト」  
CTLライン 160：インターフェイス90レジスタ  
に於いて指定するCTLインターフェイス制御  
ライン  
キャプシユ・コントロール・ライン 70：電圧の  
インターフェイス・コントロールライン・バ  
スを伝送するための電圧制御のインターフェイス

-38-

リス(58)のマルチプレクサーの切換を制御する  
ためのインターフェイス・レジスタ内でマ  
マシユ・コントロール・マイクロプロセッ  
サ(76)により発生せしめられる一組の制御信  
号

BC<sub>1xx</sub> : 第70図式において、BC<sub>1xx</sub>として示され  
る全ての値は、バス又はコントロール・コ  
ミュニケーション・バースが存在していること  
を示しているが、ここでは明確には定義しな  
い。

本説明を足すで分説明するため、第6、第7  
及び第70図は、第3図式示すように配置され  
る。

第70及び第70図式図し、マイクロプロセッ  
サ(76)はダイスタ・ママシユ(16)の制御信号  
系である。マイクロプロセッサ(76)は、トライ  
スタートの16ビットのデータ・バス(140)を  
経由して全てのエクステナル・データを受け  
入れ、16ビットのトライスタート・アクト・プ  
データ・バス(142)を經由して全てのエクステ  
-

-39-

114555-164958(11)

ナル・ポートへ書き込む。上記の如く、マ・ス  
・マシユ・サブシステムは5つの主要な機能の  
一つはデータ伝送と第2番のシステムは制御ユニ  
ット(18)から、ママシユCTLインターフェイス(78)  
を經由して受け入れられる制御指令に依存するこ  
とである。前記ママシユ・コントロール・マ  
クロプロセッサ(50)は、インターフェイス・コント  
ロール・レジスタ(40)から制御用前記ママシユ  
CTLインターフェイス(78)までから受け入れメ  
システム指令をセレクトする。ママシユ・コント  
ロール・マイクロプロセッサ(50)は、インターフェイス  
・コントロール・レジスタ(40)の中の制御機能  
或は適切な信号をセレクトすることにより指令に  
答する。これらの指令は、さらに、先づ述べた  
規定されているCTLインターフェイス規格により  
要求されて、ママシユCTLインターフェイス(70)へ  
ポートされる。

マイクロプロセッサ(76)は、書き込み可能制御  
記憶(100)からパイプライン・バス(140)を  
経てマイクロ指令を受け入れる。マイクロプロセ  
-

-40-

サ(76)はメモリ・アドレス・バス(140)を經由  
して書き込み可能制御記憶(100)をアドレスする。  
ストラクチャ・パッド(96)は、その時点においてマ  
マシユ・メモリ(54)の中にある一組のデ  
イスタ・ドライブ・トラクタ・アドレスを記憶す  
るため、主マイクロプロセッサ(76)により使用  
される。ストラクチャ・パッド(96)に記憶されて  
いる前記トラクタ・リスト・アドレスは、ママシ  
ユ・メモリ(54)内のデータがアクセスされるの  
に応じて、後述するマイクロプロセッサ(76)により  
ダイナミックに断片される。

マイクロプロセッサ(76)はストラクチャ・パ  
ッド(96)をアクセスするためD・バス(140)とY  
・バス(142)を用いる。是れ、第3図式あるデ  
イスタ・ママシユ・コントロールデータは、デ  
イスタ・ママシユ・マイクロプログラム(後述す  
る)によつて規定されるストラクチャ・パ  
ッド(96)内に記憶される。マイクロプロセッ  
サ(76)はまた、第3図式上0のデ  
イスタ・ドライブ(14)が「ママシユ」を受け  
やすめを決定して、マ

-41-

マシユ・レジスタ(102)の中にある情報を  
使用する。前記記憶制御ユニット・ダイ  
レクト・メモリ・アクセス(92)と  
ドライブ・ダイレクト・メモリ・ア  
クセス(94)は前記フル・トラクタ・パ  
ンファ(86)と前記システム記憶制御  
ユニット(18)とデ  
イスタ・ドライブ(14)の各々の間の  
データ伝送のため用いられる。前記  
ダイレクト・メモリ・アクセス・ポ  
ートはD・バス(140)とY・バス  
(142)を經由して、マイクロプロセ  
ッサ(76)によりプログラムされ、セ  
レクトされる。

フル・トラクタ・パンファ(86)は、前記基本  
アドレス・バス(110)を經由してアド  
レスされ、その内容は、基本デー  
タ・バス(108)を經由して何れかの  
ダイレクト・メモリ・アクセス・ポ  
ートへ向け、又はそこから伝送され  
る。

フル・トラクタ・パンファ(86)とCCD  
メモリ(88)は両者のエラー検見及び訂  
正レジスタ(106)を共有している。フル  
・トラクタ・パンファ(86)とCCD  
メモリ(88)の間のデータ伝送は、第  
3図式においてマイクロプロセッサ  
(76)により制御される2方向

-42-

コ・バス (183) を経由するダイレクト・メモリ・アクセスタイプの作動として知られているものになっている。更に、キャッシュ・コントロール・マイクロプロセッサ (50) は、コ・バス (142) 経由の周辺電荷移送装置メモリの中心に含まれる時にダイレクト・メモリ・アクセス・レジスタをプログラムする。

### 3. ディスクキャッシュ動作ハードウェア方式

ディスク・キャッシュの概念を多数の構成要素で表現することは可能であるが、特に関連したものとして知られた構成要素は公開の IBM システムのチャネル制御装置と類似するものである。前記構成において、記憶制御装置 (18) はシステム CTL インタフェイス (15) を通じてディスク制御装置 (20) に接続される。ディスク制御装置 (20) はキャッシュ CTL インタフェイス (78) を通じてディスク・キャッシュ (16) に接続される。ディスク制御装置 (20) はインタフェイス (15) を通じてディスク駆動装置 (14) に接続される。簡略化するため、インタフェイス (15)、(78) はディスク制御装置 (20)

- 63 -

ディスク制御装置 (20) からインタフェイス (78) を通じてディスク・キャッシュ (16) に伝送される。タグ・ゼロ命令はディスク・キャッシュ (16) からインタフェイス (78) を通じてディスク制御装置 (20) に伝送される。このように、タグ・ゼロ命令は、タグ・ゼロ命令を置くすべてのタグ命令がディスク駆動装置 (14) に伝送されるが、ディスク制御装置 (20) がタグ・ゼロ命令をインタフェイス (78) を通じてディスク・キャッシュ (16) に伝送するハードウェアモードとして動作するように、タグ・ゼロ命令はディスク・キャッシュ (16) からインタフェイス (78) を通じてディスク制御装置 (20) に伝送される。このように、タグ・ゼロ命令はディスク・キャッシュ (16) からインタフェイス (78) を通じて記憶制御装置 (18) に伝送されるから、タグ・ゼロモードはタグ・ゼロ命令がディスク・キャッシュに伝送されることを意味する。タグ命令が本装置のディスク・サブシステムにおいて従来の方式と同様に動作するハードウェアモードとして動作するように。

- 64 -

110635-164958(2)

内の値 610 で増減に接続されるように知られる。値 610 は減算電荷移送体でなく、加算に接続されるように、ハードウェア操作モードに従って変化する構成体である。

ディスク・キャッシュ (16) を動作するのに関連する 4 個のハードウェア操作モードがあり、これらは本説明を簡明にする場合に適した記憶制御装置 (18) からの命令によって決定される。すなわち、

#### (1) タグ・ゼロモード

前記図に示されるタグ・ゼロモードにおいて、タグ・ゼロ命令を置くすべてのタグ命令（以下に記述される文脈の簡明では本タグ・ゼロ命令と記す）は記憶制御装置 (18) からインタフェイス (15) を通じてディスク制御装置 (20) に、またバス (15) を通じてディスク・ドライブ (14) に伝送される。タグ・ゼロ命令を置くすべての命令に対して、ディスク・キャッシュ (16) は事實上ストリングに存在しない。しかしながら、タグ・ゼロ命令は記憶制御装置 (18) からインタフェイス (15) を通じてディスク制御装置 (20) に伝送されるけれども、デ

- 65 -

#### (2) 記憶制御装置 (SCU) モード

ディスク・キャッシュ (16) が SCU モード (図 10 参照) の時は、すべてのタグ命令は記憶制御装置 (18) からインタフェイス (15) を通じてディスク制御装置 (20) に、またインタフェイス (78) を通じてディスク・キャッシュ (16) に伝送される。このディスク・キャッシュ (16) はマイクロプログラムの「アクセス」スタートである（前述のソフトウェアの記述参照）。SCU モードにおいては、記憶制御装置 (18) とディスク駆動装置 (14) との間との間の通信伝送は不可能である。これはディスク・キャッシュ (16) の基本動作方式である。

#### (3) 制御モード

このハードウェアモードにおいては、図 11 に示されるディスク・キャッシュ (16) がディスク制御装置 (20) とディスク駆動装置 (14) にそれぞれインタフェイス (78)、(15) を通じて直接に接続される。このモードでは、記憶制御装置 (18) はディスク制御装置 (20) に対して「不適」状態である。これは記憶制御装置 (18) とディスク制御装置 (20) との間でのインタ

- 66 -

エイム(13)は監視作用を成すないことを要する。エイム・コマンド(16)はエイム・ストリング・サブシステムの制御を必要とせずにサブシステムの動作を制御する。

#### (4) 実行モード

第12図に示される実行モードは記憶制御装置(18)とエイム制御装置(14)との間をエイム制御装置(20)を介してそれぞれのインタフェイス(15)、(15)により互に通信させるハードウェアモードである。この動作モードでは、インタフェイス(78)を通じてエイム・コマンド(16)のデータは全く伝送されない。このエイム・コマンドとエイム制御装置(84)との間で、エイム・コマンド(16)が切替られているかのように伝送する。

前述されたようなハードウェアの動作モードは一体的に作用し、エイム・コマンド・マイクロプログラム(50)中にあるサブシステム・マイクロプログラム(50)の制御を受ける。後記の「エイム・コマ

-67-

110455-164958(13)

システム・サブシステム・ソフトウェア」のモードに置かれるように、通常のモード・ゼロ命令が記憶制御装置(18)によって処理されることにより、マイクロプログラムが後述のマイクロプログラム状態から変換してサブシステムのハードウェア動作モードで変化する。

#### 4. エイム・コマンド・サブシステム・ソフトウェア

この説明によるエイム・コマンドの概念は、従来の方式で実施される。特に通じた実施例では、前述のハードウェアはマイクロプログラム(76)によって指定される書き込み可能な制御装置(100)にエイム制御装置(84)に送られるマイクロプログラムと共通して作用する。この説明の好適実施例におけるマイクロプログラムにおいては、位置の記憶装置のソフトウェア・コンディションを示す4番の「スタート」を作用する。ここで「スタート」とは外部入力力によって変換することがなければマイクロプログラムのコンディションが変換しないことを要する。第13図において、4番

-68-

の置かれたマイクロプログラム・スタートが例示される。すなわち(1)待ちスタート(400)、(2)選択スタート(414)、(3)アクティブ・スタート(424)及び(4)パンプ・スタート(432)。

待ちスタート(400)において、エイム・コマンド及びエイム・サブシステム全体は記憶制御装置(18)とエイム制御装置(20)との間のシステムCTLインタフェイス(15)が停止していることによって監視されるような「停止」コンディションにある。第13図に示されるように、待ちスタート(400)はCTLインタフェイス(78)の選択制御装置の状態から始まる連続プログラミング・ループと形成される。上記選択制御装置が破い、すなわち「00」コンディション(402)にあるならば、マイクロプログラムは「定常タイムアウト」(404)に達する瞬間を監視する。もし、エイム・コマンド・サブシステムが「停止」コンディションに達して定常タイムアウトが作用して「700」コンディション(406)にあるならば、エイム・コマンド・サブシステムは定常状態(408)のモード

-69-

に入り、ここでエイム・コマンドの内部「ハクス・カービング」機能が作用する。定常状態(408)が完了すると、マイクロプログラムは待ちスタート(400)に復帰し、第13図に示されるシステムCTLインタフェイス(15)上の選択制御装置を再び監視し監視する。定常状態(408)はマイクロプログラムが「定常」コンディションに入る「スタート」ではない。すなわち、定常状態(408)はプログラミングが完了するコンディションに向つて進み、待ちスタート(400)に復帰する作用を過ぎない。定常状態は前述のハードウェア制御モードに属するマイクロコードの作用であり、待ちスタート(400)はハードウェア・モード・ゼロ・モードとして監視される。

選択制御装置が待ちスタートの間に入ると「700」スタート(412)になると、エイム・コマンド・マイクロプログラムは「選択」スタート(414)に入る。「選択」スタート(414)は選択制御装置が高いスタート、すなわち記憶制御装置が記憶装置に置かれたすべてのストリング・モードの

-70-

の1つを選択することを通告するスタートとして  
 定義される。選択スタート(414)の後は選択  
 状態のコンディションが監視される。選択状態  
 が「近い」スタートに達する時は、選択状態は「イ  
 ンアクティブ」スタートとなり、第13図に示  
 される「yes」(416)のスタートによってディスク・  
 キャッシュ・マイクロプログラムは待ちスタート  
 (400)に復帰する。もし、選択状態が「近い」  
 スタート、すなわちインアクティブ・スタート  
 (418)のままである時は、マイクロプログラムは  
 ステップ・ゼロ指令が第6図のキャッシュCTLインテ  
 フェイス(78)上にあるのを監視する。ステップ・ゼロ「ア  
 クティブ」指令を受信しない(420)ならば、マイ  
 クロプログラムは、「選択」状態が「インアク  
 ティブ」スタートすなわちマイクロプログラムが待  
 ちスタート(400)に復帰するスタートに達するの  
 でなければ「選択」スタートに停止する。もし、ス  
 テップ・ゼロ選択指令を受信する(422)ならば、マイ  
 クロプログラムは「アクティブ」スタート(424)  
 に入る。選択スタート(414)は待ちスタート(400)

-51-

の場合のようハードウェア・ステップ・ゼロ・セ  
 ドである。

「アクティブ」スタート(424)は、記憶制御  
 部(16)がすでに特定の記憶制御部(22)を通して  
 いるマイクロプログラム・コンディションとして  
 定義される。上記記憶制御部(22)及びディスク・ス  
 トリング・サブシステムにディスク・キャッシュ  
 (16)が接続されるならば、ステップ・ゼロ「アクテ  
 ィブ」指令によってディスク・キャッシュ・マイ  
 クロプログラムは「待機化」される。「アクティブ」  
 スタート(424)において、ディスク・キャッシュ  
 は記憶制御部(16)及び記憶制御部内のアーキテク  
 チャによって決定するすべての命令を地上及び人に  
 受信する。これは「キャッシュ」スタート、と称し  
 てもよく、主キャッシュ操作スタートとして通称  
 されよう。ハードウェアにおいては、前述され  
 ている「記憶制御部セード」である。「アクテ  
 ィブ」スタート(424)の時に、ステップ・ゼロ「パ  
 ンシブ」指令(425)がディスク・キャッシュ・マイ  
 クロプログラム(426)によって受信されない時は、

-52-

ディスク・キャッシュはディスク・キャッシュ指  
 令(428)を実行する。第13図に示されるよう  
 なディスク・キャッシュ指令(428)の実行は「ス  
 タート」ではなく、正しくは動作を実行するマイ  
 クロプログラムのコンディションであり、完了後  
 に、マイクロプログラムは「アクティブ」スター  
 ト(424)に復帰する。キャッシュ指令の実行はハ  
 ードウェアにおいては「記憶制御部セード」と  
 考えられる。「アクティブ」スタート(424)の時  
 に、ステップ・ゼロ「パンシブ」指令が受信される  
 (430)時は、マイクロプログラムは「パンシブ」  
 スタート(432)に入る。

「パンシブ」スタート(432)は、記憶制御部  
 (16)がディスク記憶部(14)と記憶制御部を通  
 するマイクロプログラム・コンディションとして定  
 義される。このコンディションは、ディスク・カ  
 ャッシュがすべての命令を受信し、記憶制御部  
 (16)とディスク記憶部(14)の間で記憶部全く  
 通信がないう「アクティブ」スタート(424)と  
 区別されることと区別される。 「パンシブ」ス

-53-

タート(432)の間、記憶制御部(16)は  
 受信時にステップ・ゼロ指令を発生させてディスク・  
 キャッシュ・マイクロプログラムを「パンシブ」  
 スタートとし、記憶制御部(16)とディスク記憶  
 部との間を直接通信させる(ステップ・ゼロ  
 「パンシブ」指令(430))。「パンシブ」スター  
 ト(432)において、ディスク・キャッシュ(16)は  
 ステップ・ゼロ指令を常時監視する(ハードウェア・ス  
 テップ・ゼロセード)。ステップ・ゼロ「アクティブ」指令が  
 第13図に「yes」(434)で指示されるように受信  
 されるならば、ディスク・キャッシュ(16)は「ア  
 クティブ」スタート(424)に復帰する。ステップ・  
 ゼロ「アクティブ」指令(437)が「パンシブ」スター  
 ト(432)の時に受信されるならば前述の選択状態  
 の状態が監視される。もし、選択状態が「パン  
 シブ」スタートの間「アクティブ」すなわちyes  
 (439)に達するならば、ディスク・キャッシュ・マ  
 イクロプログラムはステップ・ゼロ「アクティブ」指  
 令を受信する次の状態である。前述のステップ・ゼロ「ア  
 クティブ」指令が受信(すなわちyes(434))される

-54-

と、ディスク・キャッシュ(16)は「アクティブ」スタート(424)に復帰する。選択制御部が「通」すなわち 20(440)に達するとディスク・キャッシュは元項処理(442)を行なう。

「バンプ」スタート(432)は前述されたハードウェアリゼロモードでもあるが、元項処理(442)はハードウェアリゼロモードである。元項処理(442)の間、ディスク・キャッシュ(16)はディスク記憶装置のストリングを制御して、通電ディスク(14)にのみ存在しうる情報をフルトラック・バッファ(86)に元項する。元項処理(442)の間、フルトラックの情報はディスク記憶装置(14)からフルトラック・バッファ(86)に転送される。フルトラック・バッファ(86)に転送されるべきトラックは最も新しく要求されたものであるから、該トラックは第 70 図のストラクチャ・バッド・メモリ(96)にある記憶管理テーブルに前記トラックの状態を記憶する。さらに、このトラックテーブル・エントリは前記メモリ中で、ディスク装置の頭、シリンダの位置及びヘッドアドレスに前してフルトラック・

-33-

112555-162958 25  
タ・バッファ(86)に代入され、ランクに送送するように制御される。元項処理(442)の完了後、マイクロプログラムは再びスタート(400)に復帰して、再び選択制御部の状態を監視する。「ハードウェア」に代りては、元項処理(442)が満了されるとディスク・キャッシュはディスク・ストリング・サブシステムを制御する。元項処理(442)の間、記憶制御装置(18)はディスク・ストリングと通信を絶えず、「ストリング不通」コンディションがストリングに検出された記憶制御装置に對して存在する。

従つて、ハードウェアとディスク・キャッシュ・サブシステムのマイクロプログラムとは一互の互に以下のように応答することが出来るように。

時間 T<sub>0</sub> : 選択制御「アクティブ」がディスク・キャッシュ(16)に對つて記憶制御装置(18)から受取られる。

時間 T<sub>1</sub> : リゼロ指令が記憶制御装置(18)から受取られる。

時間 T<sub>2</sub> : キャッシュ・マイクロプログラムは

-34-

(必要に応じて)スタートを元化する。

時間 T<sub>3</sub> : キャッシュはハードウェアが方式を元化することを要求する。

時間 T<sub>4</sub> : 記憶が実行される(マイクロプログラムは新スタートにあり、ハードウェアは新モードにある)。

時間 T<sub>5</sub> : 処理は第 13 図に指示されるように必要に応じて進行する。

この発明のディスク・キャッシュ・サブシステムを構成するに達した発明例は誤り訂正装置そのもののプログラミング修正機能を含有して動作性を高めている。マイクロプログラムに對する通常の修正機能は前述されるとともに第 13 図に指示されてゐる。

### 5. 記憶管理

ディスク・キャッシュ・サブシステムはキャッシュ記憶装置を管理するたのび一或は第 70 図のストラクチャ・バッド(96)内にあるテーブルを使用する。本発明では、目的を達成するたのび多数の

-35-

インプリメンテーションが可能であるが、通ましいディスク・キャッシュ組内で時々に記憶装置を管理することが通しているものと知られた。キャッシュ・メモリ(54)内にあるデータレジスタは任意寸法の記憶の情報から形成されるものけれども、通ましい実施例においては CCD 記憶装置(88)はフルトラックの情報を蓄む。この情報はシリンダ 3670 及び 3675 のディスク記憶装置の場合には 13030 個の情報バイトに達する。各データトラックはディスク記憶装置(14)から移入される。CCD 記憶装置(88)及びフルトラック・バッファ(86)内に記憶されるデータトラックは該データの管理に對する必要性に對つて作られたマイクロプログラム(76)に使用されるテーブル中に前記エントリを有する。

ディスク・キャッシュ・ストラクチャ・バッド(96)は第 70 図の形式の記憶管理テーブル、すなわちダイナミック・テーブル、トラック・リンク・テーブル及びからの記憶装置のリストを管理する。上記ダイナミック・テーブルはキャッシュ記憶装置

-36-



表 (54) の更新基準に従って自動的に更新される。この目的のため、公開の LRU 基準を使用することが有利である。上記トラフク・ロフク・テーブルは CDD 記憶装置 (88) 中キャッシュ記憶装置 (54) に「ロフク」される部分の元のパラメータを含む。この説明においては、トラフクをキャッシュ中に「ロフク」となるとは、データトラフクが上記ダイナミック・テーブルの場合のような無条件で適用されないことを意味する（すなわち、キャッシュ記憶装置 (54) 中に永久に存在する）。上記からの記憶装置のリストは CDD 記憶装置 (88) 内で利用空間のトラフクを保持するテーブルである。からの記憶装置を指示するテーブルの内容は現在使用されておらず、従ってディスク駆動装置 (14) からのデータで充てられるべく利用される記憶装置である。

キャッシュ記憶装置 (54) 中に記憶されたすべてのデータトラフクはダイナミック・テーブル内の対応エントリを有し、各エントリは駆動装置のパラメータを有する。2 個のパラメータ

-39-

112655-164958 (C)  
は上記テーブルをトラフクの最も新しい用途より最も古い用途に通じてリンク通達する。データトラフクがキャッシュ記憶装置 (54) から要求される量ごと、このリンクに通達する項目は上記リストの頭部から始め（すなわち最も新しく更新される）、リストの最後は最も古い（使用されたもの）となる。他のパラメータはディスク記憶装置 (14) による特定のリンクアドレス、ヘッドアドレス及び磁気アドレスへのディスクトラフクに關する情報を含む。これらと一併使用して、アドレス・ポイントがダイナミック・テーブルの項目を公開のリンク通達規則に従ってリンク通達する。

キャッシュ記憶装置 (54) が充てられ、このデータトラフクをディスク記憶装置 (14) からキャッシュ記憶装置 (54) に充てる必要がある場合は、テーブルの最後にある最も古い使用されたデータトラフクは該テーブルからはずされ、ディスク記憶装置 (14) から丁度充てられた新しいデータトラフクはテーブルの頭部から始め最も新しく使用される。

-40-

たデータトラフクとなる。この基準は周知のもので、最近使用トラフクがキャッシュ記憶装置中にあるが使用可能性のデータトラフクはキャッシュ記憶装置 (54) からはずされる。

ダイナミック・テーブルはまた特定のディスク記憶装置から充てられた、すなわち同じディスク記憶装置アドレスを有するデータトラフクをリンク通達するリンク・ポイントを含有する。これらのテーブルは、最近使用及び最も古い使用されたリンク・ポイントが更新される時に更新される。このようにして、特定のトラフクのキャッシュ記憶装置 (54) を指示する情報は、特定のトラフク用の記憶装置アドレスが特定のディスク記憶装置を指定することが周知されているので簡略化される。かくして、最近使用トラフク及び最も古い使用されたトラフクのテーブルを、該テーブルが特定のディスク記憶装置によってリンク通達されるならば、指示することなく簡略化される。初め、元々 1 個のディスク記憶装置が所定の時刻に内蔵されているならば、キャッシュ記憶装置 (54)

-41-

の全内容を指示する必要があるけれども、1 個以上のディスク記憶装置が内蔵されているならば、容易しい簡略化例が実現される。

#### 6. タグ・ゼロ命令

IBM 社の対応ディスク記憶装置サブシステムの標準的な構成によれば、「タグ」命令として知られているある種の命令が用いられ、これによって記憶装置 (18) はシステム CTL のインタフェース (13) に設けられる駆動装置 (20) へ通じる。システム CTL インタフェース、タグ命令、又はバス・イン・ライン、バス・アウト・ライン等の完全な定義はモレックス社の「ディスク記憶装置サブシステム操作説明」3673/3675/3670（出版番号 3673.21-02）を参照されたい。しかし、記憶装置の標準的な構成の中で、ディスク・キャッシュ (16) を含むディスク記憶装置システムを伴って動作することはできない。ディスク・キャッシュの特定の構成を利用するためには、特定のタグ命令を指定したり利用したりし、その命令が特定のようになりディスク・キャッシュ (16) 領域で動作し、

-42-

よつてマージング動作を行うようにしなければならぬ。マージ命令に連装の図式を用いることができないが、重要なことはディスク・キャッシュを付与するたの式で述べたマージ命令が真実としたものでなく、かつディスクI/Oサブシステムの領域内に属した基装としてデコードされた他のマージ命令と混同されないようにしておく必要がある。正しい図式であれば、キャッシュ領域を制御するマージ命令としては、バス・アウトに可変値を有するマージ・デコード 00 (box) を用いることが望ましいことが判明した。マージ・ゼロ命令を記憶制御装置 (16) からディスク・キャッシュ (16) が受けると、ディスク・キャッシュはディスク・サブシステムを制御し、上述のように必要な動作を実行する。可能な IBM 社の入力/出力サブシステムの定規によれば、マージ・モード 00 に使用される CTL マージ・アウト・バス (マージ・ビット 0, 3, 4, 5, 6, 7, 全て 0 に相当) で、これは CTL バス・アウトのラインに用いられる。

可変データ連装

- 63 -

図の仕様を知るには、まず先行図解が与えた情報を読み解く必要がある。図 14 図を参照すると、先行図解による SYNC IN と SYNC OUT が記載されている。基本的なタイミング関係はエッジ (200)、(204) 間、エッジ (204)、(208) 間、及びエッジ (208)、(212) 間によつて規定される。これらのパルス間の時間は均等で、図解ディスク・メモリ上にてターボ・エンコードされた情報によつて直接形成されるクロッキング・パルスによつて制御される。エッジ (200)、(204) 間、エッジ (204)、(208) 間、及びエッジ (212)、(216) 間の時間は第 1 図のディスク・ストランド制御 (12) 内のヘッドウェアによつて制御される。SYNC IN パルス (203, 204, 208, 212) の先行エッジと SYNC OUT パルス (202, 206, 210, 214) の先行エッジ間の時間関係、及び SYNC IN パルス (210, 205, 209, 213) の後端エッジと SYNC OUT パルス (203, 207, 211, 215) の後端エッジ間の時間関係は記憶制御装置 (10) 内の CTL ケーブル・ディレーとヘッドウェア・ディレーによ

- 64 -

図 2 図に一般的に示し、ここに述べてきたこと、ディスク・キャッシュ・サブシステムによつて、可変データ連装と称される現象の性質を明らかにすることができる。可変データ連装によれば、キャッシュにデータセグメント自身の長さで記憶することができ、従来のようにディスクに記憶及び記憶装置に保存してディスクに記憶及び記憶装置に記憶するための規定されたデータ連装規定されることはない。ディスク・キャッシュ (16) の記憶装置内であれば、フル・トラック情報があり、図式示すフル・トラック・パルス (80) 内に記憶され、記憶装置を中央記憶装置が必要として受け、ディスク・キャッシュ・サブシステムとキャッシュ間のデータ転送レートは一定データ連装である必要はなく、記憶装置は一定データ連装によつては制御されることのない。キャッシュ CTL インタフェイス (78) のデータ連装速度が一定である必要がないので、キャッシュの記憶装置が異なることとなる。

ディスク・キャッシュ (16) 内の可変データ連

- 65 -

つて制御される。SYNC OUT パルス ((232) と (203) 間の時間関係、(206) と (207) 間の時間関係、(210) と (211) 間の時間関係、及び (214) と (215) 間の時間関係) の先行エッジと後端エッジ間の時間は、記憶制御装置 (10) 内のヘッドウェア、及び SYNC IN 内のディレー・記憶装置によつて制御される。

可変データ連装の概念を用いると、従来の SYNC IN と SYNC OUT の関係とは著しく異なる関係パルスが得られる。可変データ連装の概念を用いると、SYNC IN パルスの先行エッジは SYNC OUT パルスに對して反発的な速度関係を生じない。第 15 図を参照すると、位置 (216)、(220) 間、及び位置 (220)、(224) 間の時間はディスク・キャッシュ (16) のヘッドウェアの記憶速度、及び電子制御によつて制御されるものであり、ディスク記憶装置の記憶速度によつて制御されるものでない。エッジ (216)、(220) 間、及びエッジ (220)、(224) 間の時間は、公称の SYNC IN パルスの速度として示される第 14 図のエッジ (200)、(204) 間、

- 66 -

エッジ (254)、(208) 間、及びエッジ (208)、(212) 間の時間よりも小であることと規定されたい。すなわち、可変データ速度の下での伝送速度は先行伝送の速度よりも速い。なぜなら、伝送速度はダイスタ・キャプシユ (16) の電子制御によって制御されるからであり、機械的な伝送装置によって制御されるものではないからである。

エッジ (224)、(228) 間、及びエッジ (228)、(232) 間の時間は SYNC OUT の後端エッジの電子制御によるキャプシユによって制御される。SYNC OUT の後端パルスのエッジ (227)、(231) が通過できればエッジ (224)、(228) 間、及びエッジ (228)、(232) 間の一時的関係が制御される。SYNC IN パルスのエッジ (228)、(232) は、SYNC OUT パルスの後端エッジ (227)、(231) が通過された後にかいてのみ発生する。SYNC OUT パルスの後端エッジ (227)、(231) は各先行エッジ (224)、(230) からかなり遅延して示されている。なぜなら、エッジ (227)、(231) は、内部伝送制御装置のデータ・パンプアップが各 CTL データ伝送に使用しない

- 67 -

114455-164958 (18)

とに与えられた制御装置のヘッドウェアによって送られるからである。内部伝送制御装置データ・パンプアップは、CTL データ伝送速度がチャネル・データ伝送速度を超えると使用できなくなる。従って、ダイスタ・キャプシユ・サブシステム機構における可変データ速度の例にこれらは、SYNC OUT パルスの先行エッジ (224) と後端エッジ (227) 間の時間、及び SYNC OUT パルスの先行エッジ (230) と後端エッジ (231) 間の時間は、チャネル・データ伝送速度が CTL データ伝送速度と同等か、それを超える必要とする時間を要し、従って、CTL データ伝送速度とチャネル伝送速度間には「同期」作用が存在する。データ伝送速度は「可変」である。従って、エッジ (224)、(228) 間、及びエッジ (228)、(232) 間の時間は、サブシステム・ハードウェア、ライン・ドライバとライン・レシーバを含む CTL ケーブル、及びダイスタ・キャプシユ・メモリと電子制御が生じた遅延時間から成る。先行伝送の遅延の場合と同様に、SYNC IN パルスの先行エッジと SYNC OUT パルスの先行エッジ間（すなわち、

- 68 -

位置 (214)、(218) 間、位置 (220)、(222) 間、位置 (224)、(226) 間、位置 (228)、(230) 間、及び位置 (232)、(234) 間) の時間は、CTL ケーブル・ダイレー、及び伝送制御装置のヘッドウェア・ダイレー、すなわちライン・ドライバ、ライン・レシーバ、から成る。

先行伝送の場合と同様に、SYNC IN と SYNC OUT の一時的関係、エッジ (217)、(219) 間の時間、エッジ (221)、(223) 間の時間、及びエッジ (225)、(227) 間の時間は同じく内部パンプアップ伝送制御装置ライン・ドライバ/ライン・レシーバのダイレーを利用して各パルスをキャプシユするための伝送制御装置ヘッドウェア・ダイレー、及び CTL ケーブル・ダイレーを含む。先行伝送には見られなくて可変データ速度装置の特性をなすものは、チャネルのダイレーによってエッジ (225)、(227)、及びエッジ (229)、(231) 間が制御的に遅延されて伝送のバイトを伝送する（すなわち、内部伝送制御装置のデータ・パンプアップを使用し得るようになる）。位置 (214)、(217)、位置 (220)、(221)、

- 69 -

位置 (224)、(225)、位置 (228)、(229)、及び位置 (232)、(233) 間の時間は、良好な形態を具えかつ十分遅延時間を有するパルスを発生するよう設計されるダイスタ・キャプシユ (16) によって制御される。

従って、ここに示した可変データ速度にこれら、公知技術ではなし遅延されない遅延でデータダイスタ・キャプシユ (16) とチャネル (8) 間で伝送し得ることが適用できよう。データ伝送速度は本質的にチャネル (8) のデータ速度によって制御される。

#### 4. 装置の簡単な説明

図 1 図は従来のコンピュータ・システムの略図であり、図 2 図はダイスタ・キャプシユ・システムを採用するコンピュータ・システムの略図であり、図 3 図は図 1、図 2 図及び図 7 図の略図を示す図であり、図 4 図はダイスタ・キャプシユを、伝送制御装置に適用したコンピュータ・システムに適用した場合の例示的装置の略図であり、図 5 図はダイスタ・キャプシユの主要な

- 70 -

ードフニアモユ装置の略図であり、第6図は、ディスク・キャッシュのディスク制御装置へのインタフェースの略図であり、第7図はディスク・キャッシュ・インタフェース・コントロール・ロジックの略図であり、第8図はキャッシュ・コントロール・マイクロプロセッサ、ロード/メモタ・マイクロプロセッサ及びキャッシュ・メモリの略図であり、第9図はディスク・キャッシュの構成されたハードウェア・コンフィギュレーションであり、第10図はハードウェア・コントロールに関するタフタ・ゼロ・モードの図であり、第11図はハードウェア・コントロールに関するSCUモードの図であり、第12図はハードウェア・コントロールに関するバス・スレー・モードの図であり、第13図はディスク・キャッシュのマイクロプログラムの流れ図であり、第14図は先行信号の SYNC IN / SYNC OUT パルスのパルス・トレイン図であり、及び第15図はディスク・キャッシュの可変データ

11月55-161958 第1  
通電時動作する SYNC IN / SYNC OUT パルスのパルス・トレイン図である。

- 2, 36 ... 中央処理装置
- 10, 18 ... 記憶制御装置
- 12, 20 ... ディスク・制御装置
- 14 ... ディスク・ドライバ
- 16 ... ディスク・キャッシュ
- 52 ... ロード/メモタ・マイクロプロセッサ
- 58, 90 ... インタフェース

特許出願代理人  
弁理士 山 崎 行 彦

- 71 -

- 71 -

図面の符号(内容に変更なし)

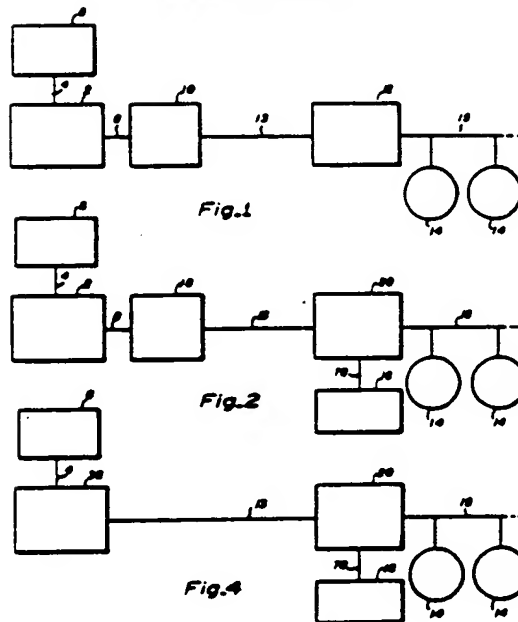


Fig. 3

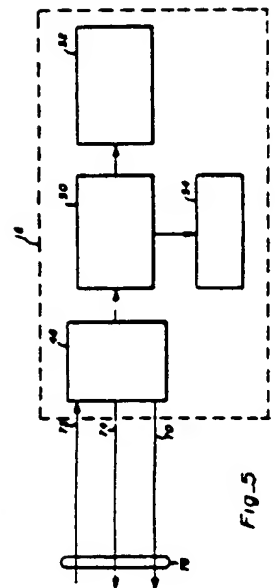


Fig. 5

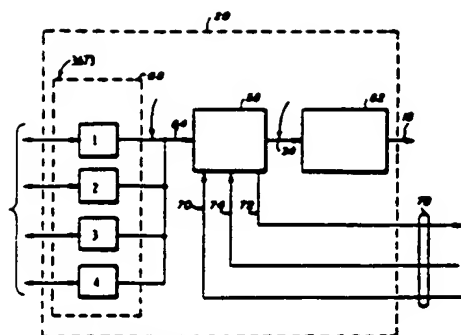


Fig. 6

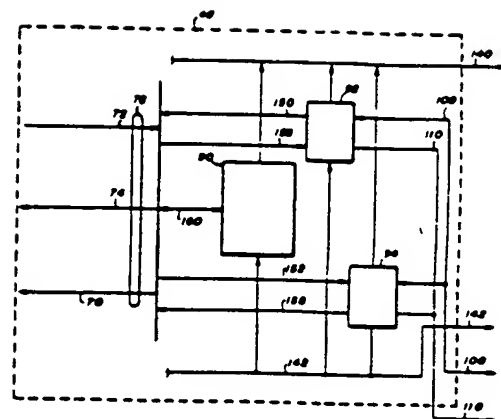


Fig. 7a

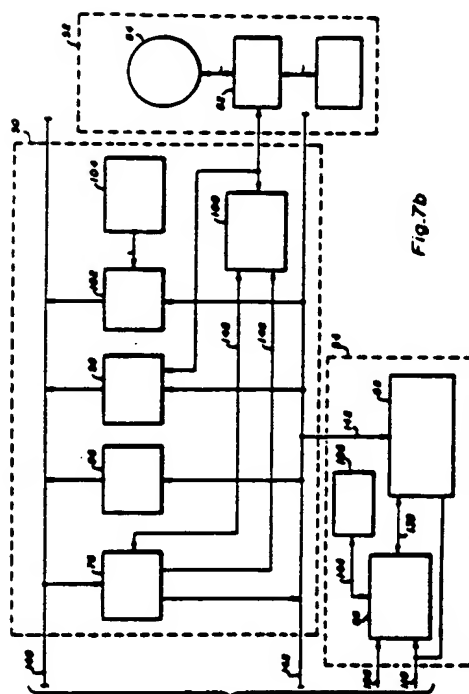


Fig. 7b

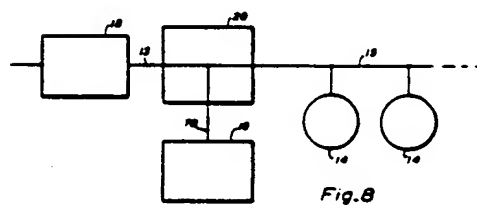


Fig. 8

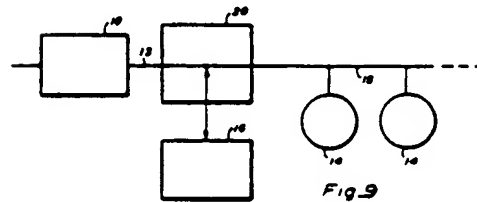


Fig. 9

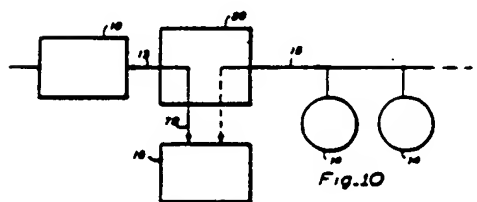


Fig. 10

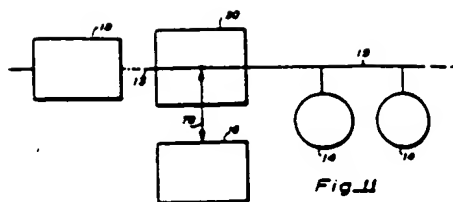


Fig. 11

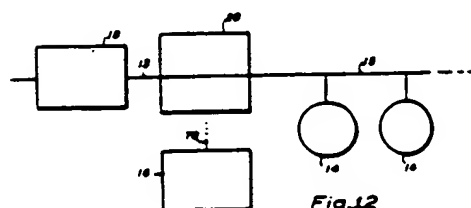


Fig. 12

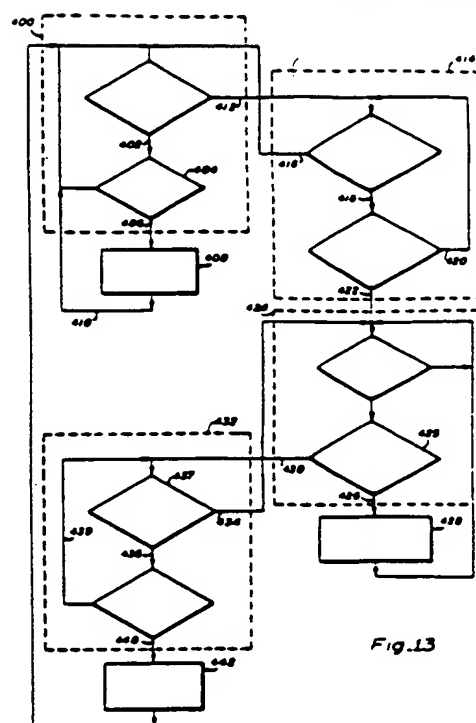


Fig. 13

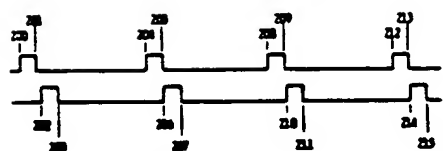


Fig. 14

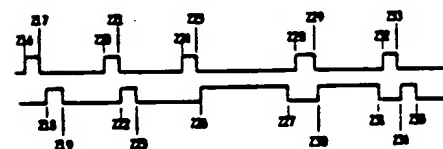


Fig. 15

# 第 1 頁の続き

- ⑦発明者 ジェシー・インゲブライト・スタムネス  
アメリカ合衆国カリフォルニア州サニーベール・マンダリン・ドライブ1227
- ⑧発明者 リン・ウエルドン・ウィットフィールド  
アメリカ合衆国カリフォルニア州サン・ホーゼ・バリ・グリーン・ドライブ6150

手続補正書(自発)

昭和55年6月30日

神野庁長官 殿

1. 事件の表示

昭和55年特許第 75197 号

2. 発明の名称

ディスク・キヤツシュ・サブシステム

3. 補正をする者

事件との関係 出願人  
名称(氏名) ノモレツクス・コーポレーション

4. 代理人

住 所 東京都千代田区本町1丁目10番9号 東京第2特許支局  
氏 名 (7101) 弁護士 山崎行雄 氏  
所 東京  
(8001) 弁護士 高石 博 氏

5. 補正命令の日付

昭和 年 月 日

6. 補正の対象

明細書の序言  
(内容に変更なし)

7. 補正の内容

別紙のとおり



手続補正書(自発)

昭和55年7月11日

神野庁長官 殿

1. 事件の表示

昭和55年特許第 75197 号

2. 発明の名称

ディスク・キヤツシュ・サブシステム

3. 補正をする者

事件との関係 出願人  
名称(氏名) ノモレツクス・コーポレーション

4. 代理人

住 所 東京都千代田区本町1丁目10番9号 東京第2特許支局  
氏 名 (7101) 弁護士 山崎行雄 氏  
所 東京  
(8001) 弁護士 高石 博 氏

5. 補正命令の日付

昭和 年 月 日

6. 補正の対象

最寄知事官庁出願人の代表者印、正式印、  
委任状及び内訳文

7. 補正の内容

別紙のとおり



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**